

## ⑫ 公開特許公報(A)

平3-54660

⑤ Int. Cl.<sup>5</sup>G 06 F 15/16  
13/18

識別記号

3 5 0 R  
5 1 0

庁内整理番号

6945-5B  
8841-5B

⑬ 公開 平成3年(1991)3月8日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 マルチプロセッサシステムにおける共有メモリ管理方式

⑮ 特 願 平1-189541

⑯ 出 願 平1(1989)7月21日

⑰ 発 明 者 吉 田 富 士 夫 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目7番1号  
⑲ 代 理 人 弁 理 士 本 庄 伸 介

## 明 細 書

## 1. 発明の名称

マルチプロセッサシステムにおける共有  
メモリ管理方式

## 2. 特許請求の範囲

複数のプロセッサと該複数のプロセッサが共有する一つの記憶装置とがメモリバスに接続され、前記複数のプロセッサから前記記憶装置にアクセス要求があるといずれか一つのプロセッサに対してアクセスを許可するマルチプロセッサシステムにおける共有メモリ管理方式において、

プロセッサと前記メモリバスとを接続状態または切断状態にするバスゲート回路と、

前記複数のプロセッサからのアクセス要求に基づいて排他制御を行なっていずれか一つのプロセッサに対してメモリ獲得応答を返送すると共に、該メモリ獲得応答を返した前記プロセッサに対応する前記バスゲート回路にメモリバスを接続状態

にする旨の指示を出す優先順位制御回路と

を設けたことを特徴とするマルチプロセッサシステムにおける共有メモリ管理方式。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は一つの記憶装置を複数のプロセッサが共有するマルチプロセッサシステムにおける共有メモリ管理方式に関する。

(従来の技術)

処理能力、計算機資源の使用効率等を高めるため、複数のプロセッサで一つの記憶装置(共有メモリ)を共有するマルチプロセッサシステムが構築されている。このマルチプロセッサシステムにおいては、記憶装置に対するアクセス権をどのプロセッサに与えるかを制御する排他制御を行なっている。そして、この排他制御方式には次のような方式がある。

① 共有メモリにアクセス要求をしたプロセッサが、この共有メモリをアクセスする可能性のある

全てのプロセッサを停止させ、他のプロセッサからアクセス要求が発生しないようにしてから共有メモリへアクセスする。

②共有メモリのアクセス要求を管理する専用のプロセッサ(管理プロセッサ)を設け、共有メモリへのアクセスしようとするプロセッサはこの管理プロセッサにアクセス要求を出す。そうすると、この管理プロセッサは、排他制御を行なっていずれか一つのプロセッサに対してのみアクセスを許可する。

(発明が解決しようとする課題)

上述したように、従来の共有メモリ管理方式には次のような解決すべき課題があった。

従来方式①では、いずれか一つのプロセッサが共有メモリにアクセスする毎に他の全てのプロセッサが停止させられるので、マルチプロセッサシステム全体の性能が低下してしまう。

従来方式②も同様に管理プロセッサとの通信のためのオーバーヘッドが大きくなりマルチプロセッサシステム全体の性能が低下してしまう。

該メモリ獲得応答を返した前記プロセッサに対応する前記バスゲート回路にメモリバスを接続状態にする旨の指示を出す優先順位制御回路とを有する。

(作用)

本発明のマルチプロセッサシステムにおける共有メモリ管理方式においては、優先順位制御回路が、複数のプロセッサからのアクセス要求に基づいて排他制御を行なっていずれか一つのプロセッサに対してメモリ獲得応答を返送すると共にこの該メモリ獲得応答を返したプロセッサに対応するバスゲート回路にメモリバスを接続状態にする旨の指示を出す。そうすると、バスゲート回路が、プロセッサとメモリバスとを接続状態にする。

(実施例)

次に、本発明の実施例について図面を参照して詳細に説明する。

第1図は本発明の一実施例の構成図である。同図において、1、2はプロセッサ(CPUと称する)、3は排他制御を行う優先順位制御回路、4

本発明は、このような事情に鑑みてなされたものであり、その目的は、マルチプロセッサシステム全体の性能を低下させることなく共有メモリへのアクセス要求の排他制御を行なうマルチプロセッサシステムにおける共有メモリ管理方式を提供することにある。

(課題を解決するための手段)

本発明のマルチプロセッサシステムにおける共有メモリ管理方式は、上記目的を達成するために、複数のプロセッサと該複数のプロセッサが共有する一つの記憶装置とがメモリバスに接続され、前記複数のプロセッサから前記記憶装置にアクセス要求があるといずれか一つのプロセッサに対してアクセスを許可するマルチプロセッサシステムにおける共有メモリ管理方式において、

プロセッサと前記メモリバスとを接続状態または切断状態にするバスゲート回路と、

前記複数のプロセッサからのアクセス要求に基づいて排他制御を行なっていずれか一つのプロセッサに対してメモリ獲得応答を返送すると共に、

は共有メモリ、5、6はバスゲート、7はメモリバスである。

次に第1図の実施例においてCPU1から共有メモリ4に対してアクセス要求が発生した際の動作について説明する。CPU1は共有メモリ4にアクセスする必要があると、メモリリクエスト信号a0をON状態にする。そうすると、優先順位制御回路3は、メモリリクエスト信号a0がON状態になったことを認識して次のような排他制御を行なう。

①CPU2からのメモリリクエスト信号a1がON状態でないとき

このようなとき優先順位制御回路3は、メモリ獲得応答信号b0をON状態にしてCPU1に共有メモリ4へのアクセスを許可した旨を通知すると共に、バスゲート制御信号c0をON状態にする。このON状態のバスゲート制御信号を受け取ったバスゲート5は、内部のゲートを導通状態にする。この結果、CPU1と共有メモリ4とがメモリバス7を介して接続される。

ON状態のメモリ獲得応答信号b0を受け取ったCPU1は、共有メモリ4へアクセスする。そして、アクセスが終了するとメモリリクエスト信号a0をOFF状態にする。従って、次の新たなアクセス要求が受けつけられるようになる。

②CPU2からのメモリリクエスト信号a1がON状態のとき

このようなとき優先順位制御回路3は、メモリリクエスト信号a1がON状態からOFF状態になるのを待つ。そしてメモリリクエスト信号a1がOFF状態になると、上述したように、メモリ獲得応答信号b0およびバスゲート制御信号c0をON状態にする。そしてCPU1は、メモリ獲得応答信号がON状態になると共有メモリ4へアクセスし、アクセスが終了するとメモリリクエスト信号a0をOFF状態にする。このようにして共有メモリに対する排他制御が行なわれる。CPU2が共有メモリ4にアクセスするときも同様の処理が行われる。

なお、本実施例では、マルチプロセッサシステ

ムが2つのCPUで構成されたとしたが、CPUの数が3以上でもよいことは勿論のことである。  
(発明の効果)

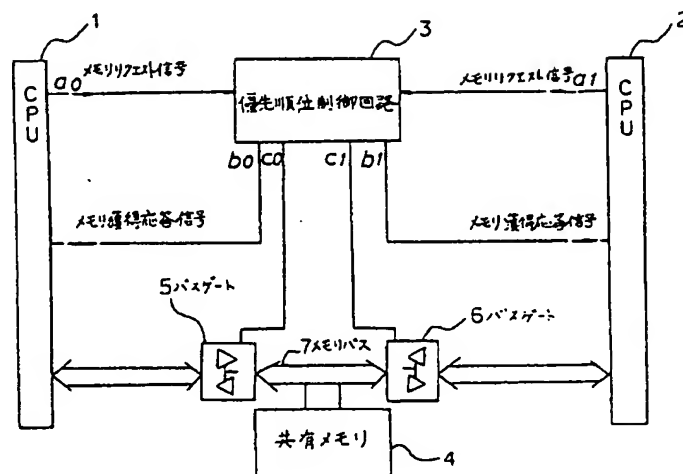
以上に説明したように、本発明のマルチプロセッサシステムにおける共有メモリ管理方式によれば、共有メモリに対するアクセスの排他制御を簡単な回路により実現でき、且つ処理も高速に行える。従って、マルチプロセッサの各プロセッサが独立に動作出来る時間が大きくなり、システム全体の性能の向上が図れる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例の構成図である。

1…CPU、2…CPU、3…優先順位制御回路、4…共有メモリ、5…バスゲート、6…バスゲート、7…メモリバス。

代理人 弁理士 本庄伸介



第1図